



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043688
Application Number

출원 년 월 일 : 2003년 06월 30일
Date of Application JUN 30, 2003

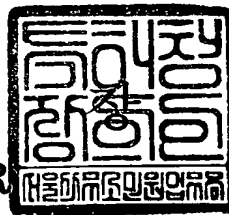
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0045
【제출일자】	2003.06.30
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	김상덕
【성명의 영문표기】	KIM,Sang Deok
【주민등록번호】	680208-1122211
【우편번호】	134-756
【주소】	서울특별시 강동구 명일1동 엘지아파트 101-1021
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 다수번의 동시 증착 및 식각공정을 실시하여 층간절연막을 형성하여 후속 평탄화 공정을 실시하지 않고, 층간절연막을 평탄화 할 수 있고, 증착 및 식각되는 비율을 조절하여 평활도를 가변적으로 조절할 수 있는 반도체 소자의 제조 방법을 제공한다.

【대표도】

도 2c

【색인어】

동시 증착 및 식각공정, 층간 절연막, 평탄화, 증착과 식각비율

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법{Method of manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1은 종래의 문제점을 설명하기 위한 SEM 사진이다.

도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3c는 다중 증착 및 식각공정을 증착 단계, 식각단계 및 증착단계로 이루어진 스텝에 따라 실시할 경우의 개념도이고, 도 4a 내지 도 4e는 증착단계, 식각단계, 증착단계, 식각단계 및 증착단계로 이루어진 스텝에 따라 실시할 경우의 개념도이다.

도 5는 HDP 산화막의 동시 증착 및 식각공정을 실시한 SEM 사진이다.

도 6a는 증착비율에 비해 식각비율이 낮을 때의 동시 증착 및 식각공정에 의해 형성된 층간 절연막을 설명하기 위한 단면도이고, 도 6b는 식각비율이 높을 때의 동시 증착 및 식각공정에 의해 형성된 층간 절연막을 설명하기 위한 단면도이다.

도 7a 및 도 7b는 HDP 산화막을 2단계의 동시 증착 및 식각공정을 통해 형성함을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

110, 200, 300, 500, 610 : 반도체 기판 112 : 터널 산화막

114, 116, 120, 122 : 폴리 실리콘막 118 : 유전체막
117 : 플로팅 게이트 전극 123 : 컨트롤 게이트 전극
124 : 하드 마스크막 130, 530, 630 : 게이트 전극
132 : 측벽 산화막 140, 540 : 층간 절연막
210, 220, 310, 320, 330, 642, 644 : HDP 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 반도체 소자의 게이트간과 상부 메탈간의 절연을 위한 층간 전연막 형성 방법에 관한 것이다.

<15> 일반적으로, 반도체 소자는 게이트 전극 패턴을 형성한 다음 게이트와 게이트 사이의 절연과 상부 금속 배선과의 절연을 위해 전체 구조상에 층간 절연막(Inter Layer Dielectric)을 형성한다. 층간 절연막을 패터닝하여 접합부를 노출하는 콘택홀을 형성한 다음 이를 금속으로 매립하여 콘택 플러그를 형성하게 된다. 이러한, 콘택 플러그를 웨이퍼 내에 정확한 크기로 균일하게 형성하기 위해서는 콘택플러그가 형성되어야 하는 영역의 상부 형상이 평활하여야 한다. 하지만, 종래의 방법을 이용하여 층간 절연막을 형성할 경우 콘택 플러그가 형성될 영역의 상부 형상에 경사가 발생하게 된다.

<16> 도 1은 종래의 문제점을 설명하기 위한 SEM 사진이다.

<17> 도 1을 참조하면, 특히 낸드 타입의 플래시 소자는 셀 스트링 양단에 위치한 셀렉트 트랜지스터 사이의 콘택 플러그가 형성될 영역의 간격이 셀 스트링의 간격보다 넓다. 이러한 패턴 차에 의해 층간 절연막을 일반적인 HDP 산화막 형성하는 방법으로 증착하게 되면 콘택 플러그 형성영역 상부는 리세스 되는 문제점이 발생한다. 이로써, 감광막을 이용한 패터닝 공정시 정확한 콘택 플러그 패턴을 형성하기 어려운 문제점이 발생한다. 즉, 사진식각공정의 마진확보가 어려워져 웨이퍼 전반에 걸쳐 임계치수의 균일도 및 정확한 타겟 컨트롤(Target Control)이 어려워지는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 다수번의 동시 증착 및 식각공정을 통해 층간 절연막을 형성함으로써, 하부 구조물의 패턴 차에 의한 층간 절연막의 단차 발생을 방지할 수 있는 반도체 소자의 제조 방법을 제공한다.

【발명의 구성 및 작용】

<19> 본 발명에 따른 게이트 전극 패턴이 형성된 반도체 기판이 제공되는 단계 및 다수번의 동시 증착 및 식각공정을 실시하여 상기 게이트 전극 패턴이 매립되도록 다층의 HDP 산화막으로 구성된 층간 절연막을 형성하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다.

<20> 또한, 게이트 전극 패턴이 형성된 반도체 기판이 제공되는 단계와, 제 1 증착 및 식각공정을 실시하여 전체 구조 상에 제 1 HDP 산화막을 형성하는 단계 및 제 2 증착 및 식각공정을 실시하여 전체 구조 상에 제 2 HDP 산화막을 형성하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다.

- <21> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <22> 물론 종래의 층간 절연막 증착 후, 화학 기계적 연마(Chemical Mechanical Polishing; CMP)공정을 실시하여 층간 절연막을 평탄화 하는 공정 실시하여 층간 절연막의 표면단차를 줄일 수 있다. 하지만, 본 실시예에서는 화학 기계적 연마공정을 실시하지 않고도 층간 절연막의 표면 단차를 줄임에 관해 설명하도록 한다.
- <23> 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
- <24> 도 2a를 참조하면, 반도체 기판(110) 상에 기판 표면의 결정결함 억제 또는 표면처리 및 이온주입시 버퍼층 역할을 하는 스크린 산화막(미도시)을 증착한 다음 이온주입을 실시하여 웰 또는 문턱전압 조절을 위한 이온층(미도시)을 형성한다. 상기 스크린 산화막을 제거한 다음 터널 산화막(112), 제 1 폴리 실리콘막(114) 및 패드 질화막(미도시)을 증착한다.
- <25> 패드 질화막, 제 1 폴리 실리콘막(114), 터널 산화막(112) 및 반도체 기판(110)을 ISO(Isolation) 마스크 패터닝(ISO mask patterning)을 통해 순차적으로 식각하여 STI(Shallow Trench Isolation)구조의 트렌치(trench; 미도시)를 형성하여 활성 영역과 필드 영역을 정의한

다. 전체 구조 상부에 산화막을 증착하여 상기 트렌치 내부를 매립한다. 패드 질화막을 정지층으로 하는 평탄화 공정을 실시하여 패드 질화막 상의 산화막을 제거한다. 이로써 소자간의 고립을 위한 소자 분리막(미도시)을 형성한다.

<26> 인산(H_3PO_4)을 이용한 질화막 스트립(nitride strip) 공정을 수행하여 패드 질화막(124)을 식각한다. DHF를 이용한 전처리 세정 공정을 실시하여 제 1 폴리 실리콘막(114) 상부에 형성된 자연산화막과 잔류물들을 제거한다. 전체 구조 상부에 제 2 폴리 실리콘막(116)을 증착한 다음, 패터닝 공정을 실시하여 플로팅 게이트 전극(117)을 형성하는 것이 바람직하다.

<27> 도 2b를 참조하면, 유전체막(118), 컨트롤 게이트용 제 3 폴리 실리콘막(120) 및 텅스텐 실리사이드막(122)을 형성한다. 텅스텐 실리사이드막(122)상에 하드마스크막(124)을 형성한다. 게이트 마스크를 이용한 패터닝 공정을 실시하여 하드 마스크막(124)을 패터닝 한다. 패터닝된 하드 마스크막(124)을 식각마스크로 하는 식각공정을 실시하여 텅스텐 실리사이드막(122) 및 제 3 폴리 실리콘막(120)을 식각하여 컨트롤 게이트 전극(123)을 형성한다. 계속적으로 유전체막(118)과 플로팅 게이트 전극(117)을 패터닝 하여 플로팅 게이트 전극(117)을 고립한다. 이로써, 터널 산화막(112), 고립된 플로팅 게이트 전극(117), 유전체막(118) 및 컨트롤 게이트 전극(123)으로 구성된 게이트 전극(130)을 형성한다.

<28> 도 2c를 참조하면, 게이트 식각시 발생한 손상을 보상하기 위한 산화공정을 실시하여 게이트 측벽에 측벽 산화막(132)을 형성한다. 게이트 전극(132)들간의 고립과 상부금속배선(미도시)간의 전기적 분리를 위해 전체 구조상에 다층 증착 및 식각공정을 통해 층간 절연막(140)을 형성한다. 층간 절연막(140)을 패터닝 하여 금속플러그(미도시)를 형성한다.

<29> 산화공정은 게이트 전극(130) 내의 산화막으로 이루어진 물질막이 두꺼워지는 현상을 최대한 줄일 수 있는 공정 조건에서 실시하는 것이 바람직하다. 동시 증착 및 식각공정은 소정의

절연물질막을 증착하는 동시에 절연물질막의 일부를 식각하는 공정을 실시하는 것을 지칭한다(도 2c의 점선영역 참조). 증착과 식각되는 비율을 1 내지 25가 되는 것이 바람직하다. . 층간 절연막(140)을 동시에 증착하고 식각하는 방법으로는 고밀도 플라즈마(High Density Plasma) 장비를 이용하여 형성하는 것이 바람직하다.

<30> 동시 증착 및 식각공정을 통해 형성된 층간 절연막(140)은 그 상부가 평탄화 되어야지, 감광막을 이용한 패터닝 공정을 실시하게 되면, 사진식각공정의 마진확보가 용이해지고, 웨이퍼 전반에 걸쳐 임계치수의 균일도 및 정확한 타겟 컨트롤(Target Control)이 용이해진다.

<31> 이하, 도면을 참조하여 동시 증착 및 식각공정에 관해 구체적으로 설명하도록 한다.

<32> 도 3a 내지 도 3c는 동시 증착 및 식각공정을 증착 단계, 식각단계 및 증착단계로 이루어진 스텝에 따라 실시할 경우의 개념도이고, 도 4a 내지 도 4e는 증착단계, 식각단계, 증착단계, 식각단계 및 증착단계로 이루어진 스텝에 따라 실시할 경우의 개념도이다.

<33> 도 3a 내지 도 3c를 참조하면, 단차가 발생한 반도체 기판(게이트 전극들 간; 200)상에 제 1 증착단계를 실시하여 전체구조의 단차를 따라 제 1 HDP 산화막(210)을 증착한다. 플라즈마 스퍼터링을 이용한 제 1 식각공정을 실시하여 제 1 HDP 산화막의 일부를 제거한다(도 3b의 점선영역 참조). 제 2 증착단계를 실시하여 제 1 HDP 산화막(210) 상에 제 2 HDP 산화막(220)을 증착한다.

<34> 도 4a 내지 도 4e를 참조하면, 제 1 증착단계를 실시하여 반도체 기판(300)의 단차를 따라 제 1 HDP 산화막(310)을 증착한다. 플라즈마 스퍼터링을 이용한 제 1 식각공정을 실시하여 제 1 HDP 산화막(310)의 일부를 제거한다(도 4b의 점선영역 참조). 제 2 증착단계를 실시하여 제 1 HDP 산화막(310) 상에 제 2 HDP 산화막(320)을 증착한다. 제 2 식각공정을 실시하여 제 2

HDP 산화막(320)의 일부를 제거한다. 제 3 증착단계를 실시하여 제 3 HDP 산화막(330)을 증착한다. 상기의 증착과 식각이 동시에 이루어지는 것이 바람직하다.

- <35> 3단계 스텝일때보다 5단계 스텝일때 더 좁은 패턴 사이를 매립할 수 있다, 즉 스텝이 많아질수록 매립에 유리하다, 이 원리를 이용하여 HDP산화막은 증착과 식각이 동시에 일어나게 하는 방법으로 형성한다.
- <36> 도 5는 HDP 산화막의 다중 증착 및 식각공정을 실시한 SEM 사진이다.
- <37> HDP 산화막을 동시 증착과 식각공정으로 형성할 때는 도 5에서 보는 바와 같이 돌출된 패턴 영역 상부의 HDP 산화막은 삼각형 형상으로 돌출되게 된다. 상술한 삼각형 형상은 증착과 식각비율을 조절하여 제어할 수 있다.
- <38> 이하 도면을 참조하여 증착과 식각비율에 따른 층간절연막 평탄화에 관해 구체적으로 설명한다.
- <39> 도 6a는 증착비율에 비해 식각비율이 낮을 때의 동시 증착 및 식각공정에 의해 형성된 층간 절연막을 설명하기 위한 단면도이고, 도 6b는 식각비율이 높을 때의 동시 증착 및 식각공정에 의해 형성된 층간 절연막을 설명하기 위한 단면도이다.
- <40> 도 6a 및 도 6b를 참조하면, 게이트 전극(530)이 형성된 반도체 기판(500)상에 동시 증착 및 식각공정을 실시하여 층간 절연막(540)을 형성하되 식각비율이 낮을 경우는 패턴 사이즈가 큰 게이트 전극(530) 상부가 산모양으로 돌출될 수도 있다(도 6a의 B영역 참조). 반면에 식각비율이 높을 때는 층간절연막(540)의 돌출되는 비율이 매우 낮아져 거의 평탄화를 이룰 수 있다(도 6b의 C영역 참조). 이로인해 동시 증착 및 식각공정을 통해 형성되는 층간 절연막

(540)의 증착되는 비율과 식각되는 비율을 조절을 통해 층간절연막(540)의 평탄화를 제어할 수 있다.

<41> 앞서 도면 3 내지 도 6에서 설명한바와 같이 동시 증착 및 식각공정을 실시하여 층간 절연막을 형성할 경우, 증착과 식각되는 비율에 따라 그 표면 평탄화에 크나큰 차이를 보이고 있다. 상기의 증착과 식각되는 비율을 DSR(Deposition-Sputtering Ration)이라고 한다. DSR이 클수록 증착 비율에 비하여 식각비율이 낮음을 의미하고, DSR이 낮을수록 식각 비율이 커진다. DSR은 1 이상을 갖는 것이 바람직하다. 만일 DSR이 너무 낮을 경우 즉, 식각비율이 클 경우는 패턴닝된 모서리가 깎이는 문제가 발생한다. 반면 DSR이 너무 클 경우 즉, 증착비율이 클 경우는 일반적인 화학 기상증착방법과 비슷하게 되어 보이드를 제거하지 못하는 문제가 발생하게 된다. 따라서 DSR의 비율을 1 내지 25의 값이 되도록 하는 것이 바람직하다. DSR이 클경우는 평활도가 나빠지고, DSR이 작을 때는 표면의 평활도가 증대된다. DSR이 3이라면 증착되는 양이 3이고 식각되는 양이 1임을 의미하고, DSR이 25라면 증착되는 양이 25이고 식각되는 양이 1임을 지칭한다.

<42> 이하, 상술한 DSR의 갖는 다수번의 동시 증착 및 식각공정을 통해 형성되는 층간절연막을 HDP 산화막을 이용하였을 경우를 도면을 참조하여 설명한다.

<43> 도 7a 및 도 7b는 HDP 산화막을 2단계의 동시 증착 및 식각공정을 통해 형성함을 설명하기 위한 단면도들이다.

<44> 도 7a를 참조하면, 제 1 동시 증착 및 식각 공정을 실시하여 게이트 전극(630)이 형성된 반도체 기판(610)상에 제 1 HDP 산화막(642)을 증착한다. 제 1 증착 공정은 스텝커버리지 능력이 뛰어난 조건에서 패턴간의 공간에 보이드가 형성되지 않는 조건으로 제 1 HDP 산화막(642)을 형성하는 것이 바람직하다. 이때 제 1

HDP 산화막(642)의 표면을 살펴보면, 제 1 HDP 산화막(642)은 게이트 전극(630) 패턴이 형성된 영역은 게이트 전극(630) 패턴에 의해 돌출되고, 게이트 전극(630) 패턴간의 영역은 리세스 된다. 이때 DSR은 3 내지 25인 조건하에서 실시한다. 바람직하게는 DSR은 3 내지 10인 조건하에서 실시하는 것이 효과적이다. 제 1 HDP 산화막(642)은 1000 내지 10000Å 두께로 형성하는 것이 바람직하다. 제 1 증착공정과 제 1 식각공정후 제 1 HDP 산화막(642)의 굴절율이 1.44 내지 1.48 정도가 되도록 하는 것이 바람직하다. 이는 DSR을 조절하여 가능하다.

<45> 도 7b를 참조하면, 제 2 동시 증착 및 식각 공정을 실시하여 상기 제 1 HDP 산화막(642) 상에 제 2 HDP 산화막(644)을 형성하여 제 1 HDP 산화막(642) 및 제 2 HDP 산화막(644)으로 이루어진 층간 절연막을 형성한다. DSR은 3 이하로 실시하는 것이 바람직하다. DSR을 1 내지 3으로 하는 것이 더욱 바람직하다. 제 2 식각시 바이어스파워를 3000W 이상을 사용하는 스퍼터링 동시 식각을 실시하는 것이 바람직하다. 제 2 HDP 산화막(644)은 제 1 HDP 산화막(642)의 단차를 줄일 수 있을 정도의 두께로 형성하는 것이 바람직하다. 제 2 HDP 산화막(644)은 1000 내지 10000Å 두께로 형성하는 것이 바람직하다. 제 2 동시 증착 및 식각공정후 제 2 HDP 산화막(644)의 표면 굴절율이 1.44 내지 1.48 정도가 되도록 하는 것이 바람직하다.

<46> 이로인해 일부의 넓은 게이트 패턴을 제외한 영역의 대부분의 미세 패턴 상부 표면이 평활 해진다. 이로써 후속 CMP 공정을 실시하지 않아도 된다. 표면의 평활도를 최대한 높이기 위해서는 DSR을 최대한 낮추는 조건에서 공정을 실시하는 것이 바람직하다. 본 발명의 다중 증착 및 식각공정은 각 단계별 DSR을 각기 달리 하여 층간 절연막의 평활도를 높이도록 하는 것이 바람직하다. 층간 절연막의 평활도를 높이기 위해 가장 마지막에 실시하는 증착 및 식각공정은 DSR의 비율이 이전에 실시한 증착 및 식각공정의 비율에 비해 낮게 하는 것이 바람직하다.



【발명의 효과】

- <47> 상술한 바와 같이, 본 발명은 다수번의 동시 증착 및 식각공정을 실시하여 층간절연막을 형성하여 후속 평탄화 공정을 실시하지 않고, 층간절연막을 평탄화 할 수 있다.
- <48> 또한, 증착 및 식각되는 비율을 조절하여 평활도를 가변적으로 조절할 수 있다.
- <49> 또한, 평탄화 공정에 따른 공정시간 단축, 공정 단순화 및 투자 감소로 인해 소자의 수율을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

게이트 전극 패턴이 형성된 반도체 기판이 제공되는 단계; 및

다수번의 동시 증착 및 식각공정을 실시하여 상기 게이트 전극 패턴이 매립되도록 다층의 HDP 산화막으로 구성된 층간 절연막을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

게이트 전극 패턴이 형성된 반도체 기판이 제공되는 단계;

제 1 증착 및 식각공정을 동시에 실시하여 전체 구조 상에 제 1 HDP 산화막을 형성하는 단계; 및

제 2 증착 및 식각공정을 동시에 실시하여 전체 구조 상에 제 2 HDP 산화막을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 다수번의 동시 증착 및 식각공정은 HDP 산화막을 증착하면서 식각하는 공정을 동시에 실시하는 반도체 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 동시 증착 및 식각공정시 상기 증착 및 식각되는 HDP 산화막의 증착과 식각되는 비율은 1 내지 25가 되는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 층간 절연막의 표면 굴절율이 1.44 내지 1.48인 반도체 소자의 제조 방법.

【청구항 6】

제 1 항 또는 제 2 항에 있어서,

상기 식각공정은 플라즈마 스퍼터링을 이용하여 실시하는 반도체 소자의 제조 방법.

【청구항 7】

제 2 항에 있어서,

상기 제 1 HDP 산화막의 증착과 식각되는 비율은 3 내지 25가 되는 반도체 소자의 제조 방법.

【청구항 8】

제 2 항에 있어서,

상기 제 2 HDP 산화막의 증착과 식각되는 비율은 1 내지 3이 되는 반도체 소자의 제조 방법.

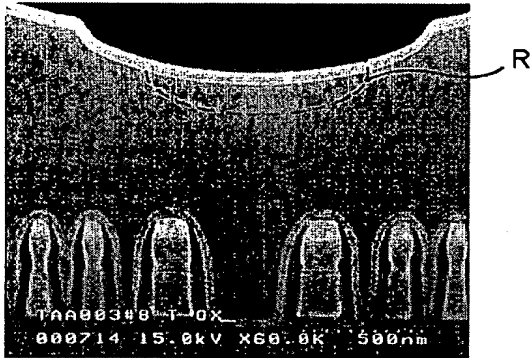
【청구항 9】

제 2 항에 있어서,

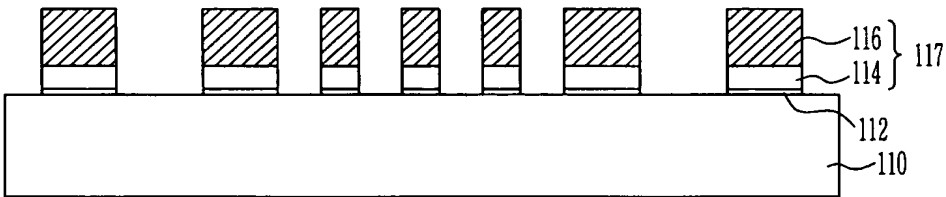
상기 제 2 HDP 산화막의 표면 굴절율이 1.44 내지 1.48인 반도체 소자의 제조 방법.

【도면】

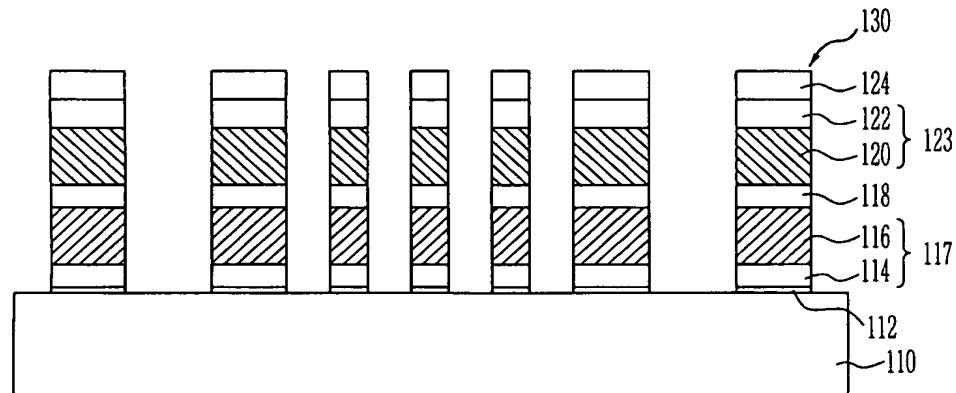
【도 1】



【도 2a】

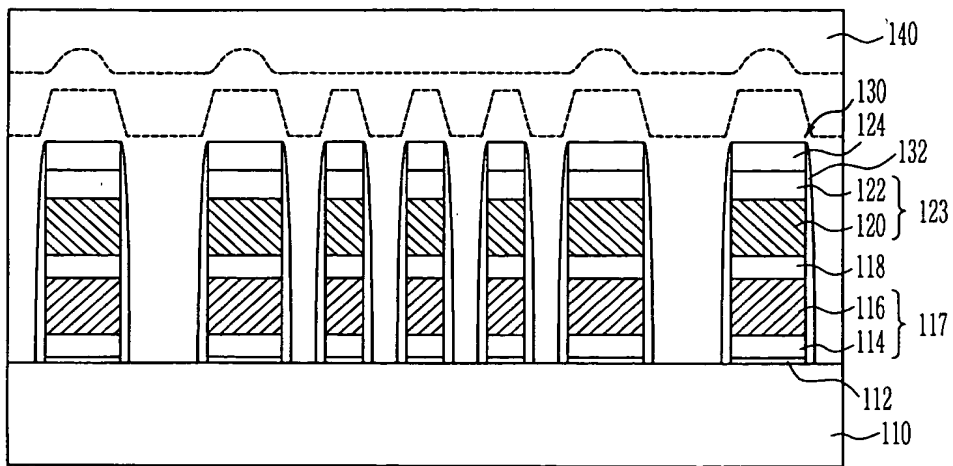


【도 2b】

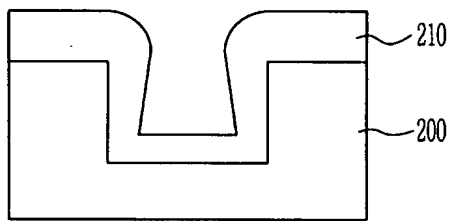




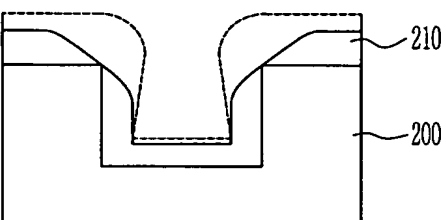
【도 2c】



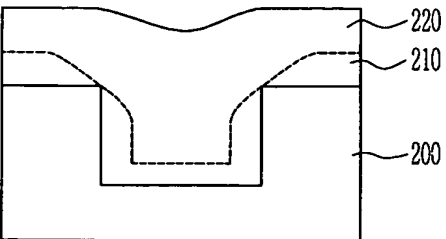
【도 3a】



【도 3b】

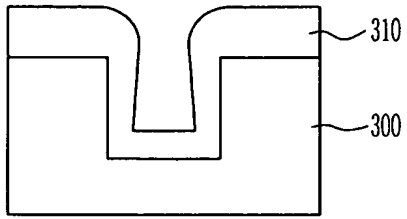


【도 3c】

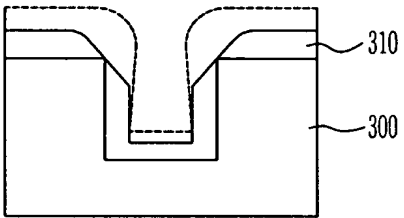




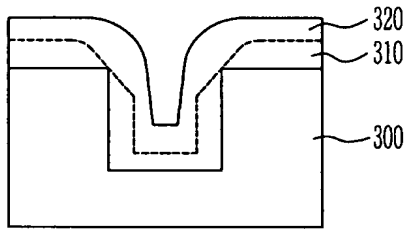
【도 4a】



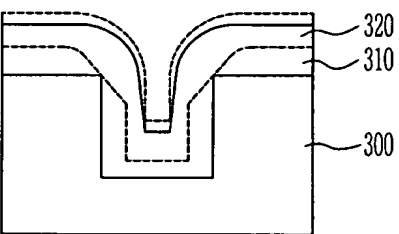
【도 4b】



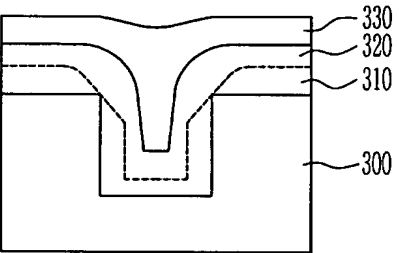
【도 4c】



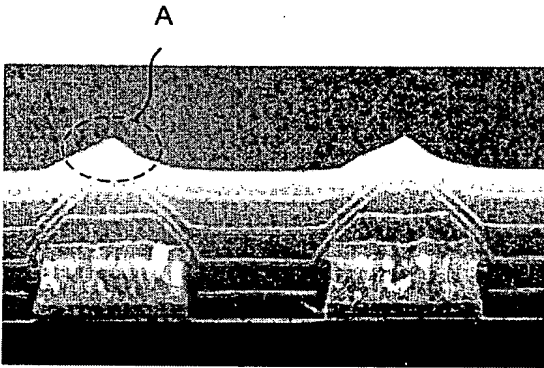
【도 4d】



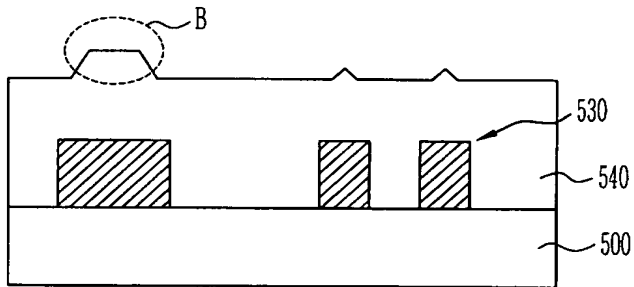
【도 4e】



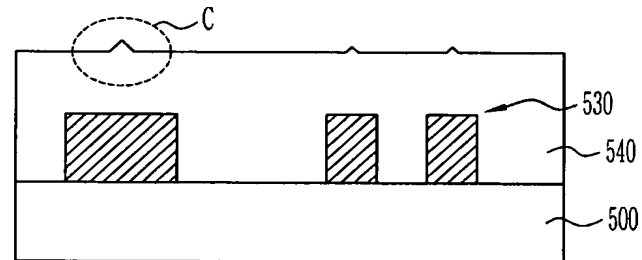
【도 5】



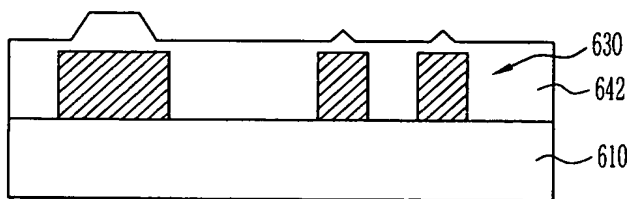
【도 6a】



【도 6b】



【도 7a】



【도 7b】

